

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-292178

(43)Date of publication of application : 18.10.1994

(51)Int.Cl. H04N 7/133
G06F 9/38
G06F 15/332
G06F 15/66
G06F 15/66
G06F 15/80

(21)Application number : 05-074768

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.1993

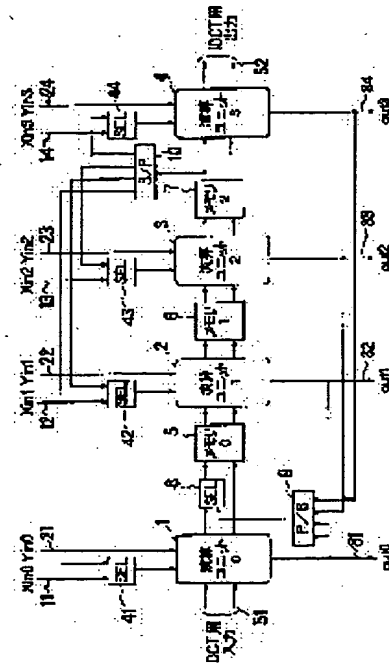
(72)Inventor : IWATA EIJI

(54) ADAPTIVE VIDEO SIGNAL ARITHMETIC PROCESSOR

(57)Abstract:

PURPOSE: To provide an arithmetic processor which performs image compression coding/extension decoding(codec) processing such as discrete cosine transformation/inverse discrete cosine transformation, quantization/inverse quantization, motion vector detection, motion compensation, an inner product arithmetic operation, image data addition, and image data differential processing, etc., on image data in a block of size ($m \times n$).

CONSTITUTION: This processor is provided with plural arithmetic units 1-4 provided in parallel, each of which performs addition, subtraction, every kind of arithmetic operation, size comparison, a differential absolute value arithmetic operation, and butterfly addition/subtraction processing and performs multiplication, and accumulation, mutual connection pipeline memory 5-7 arranged so as to connect adjacent arithmetic units out of those arithmetic units 1-4, and selectors 41-44 which apply input data to the arithmetic units 1-4 selectively, and the adjacent arithmetic units are coupled via the mutual connection pipeline memory 5-7, and also, a prescribed data flow path is comprised by selecting an internal pipeline in the arithmetic unit, thereby, desired video signal processing can be performed.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6-292178

(43) 公開日 平成 6 年 (1994) 10 月 18 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H04N 7/133	Z			
G06F 9/38	310 J	9193-5B		
15/332	S	9194-5L		
15/66	L	8420-5L		
	330 D	8420-5L		

審査請求 未請求 請求項の数 14 (全 28 頁) 最終頁に続く

(21) 出願番号 特願平 5-74768

(22) 出願日 平成 5 年 (1993) 3 月 31 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 岩田 英次

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

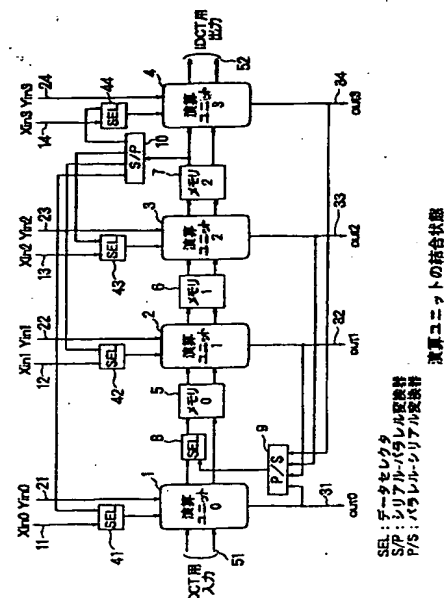
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 適応形ビデオ信号演算処理装置

(57) 【要約】

【目的】 離散コサイン変換／逆離散コサイン変換、量子化／逆量子化、動きベクトル検出、動き補償、内積演算、画像データ加算および画像データ差分処理などの画像圧縮符号化／伸長復号化（コーデック）処理を、 $m \times n$ の大きさのブロックの画像データについて、適応的に行う演算処理装置を提供する。

【構成】 それぞれが、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理を行ない、乗算を行い、累積を行う複数の並列に設けられた演算ユニット 1～4、これら演算ユニットのうち、隣接する演算ユニットを接続するように配設された相互接続パイプラインメモリ 5～7、および、演算ユニット 1～4 に入力データを選択的に印加するデータセクタ 41～44 を有し、相互接続パイプラインメモリを介して隣接する演算ユニットを結合し、かつ、前記演算ユニット内の内部パイプラインメモリを選択して所定のデータ流れ経路を構成し、所望のビデオ信号処理を行う。



【特許請求の範囲】

【請求項1】離散コサイン変換／逆離散コサイン変換、量子化／逆量子化、動きベクトル検出、動き補償、内積演算、画像データ加算および画像データ差分処理などの画像圧縮符号化／伸長復号化処理を、 $m \times n$ の大きさのブロックの画像データについて、適応的に行う演算処理装置であって、

それぞれが、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理を行う拡張算術論理演算ユニット、該拡張算術論理演算ユニットの後段に設けられた第1の内部パイプラインメモリ、該第1の内部パイプラインメモリの後段に設けられた乗算ユニット、該乗算ユニットに係数を提供する係数メモリ、該乗算ユニットに後段に設けられた第2の内部パイプラインメモリ、該第2の内部パイプラインメモリの後段に設けられた累積演算ユニット、該累積演算ユニットに後段に設けられた第3の内部パイプラインメモリを有する、複数の並列に設けられた演算ユニット、

これら複数の並列に設けられた演算ユニットのうち、隣接する演算ユニットを接続するように配設された相互接続パイプラインメモリ、および、

前記複数の演算ユニットに入力データを選択的に印加するデータセレクトを有し、

前記相互接続パイプラインメモリを介して隣接する演算ユニットを結合し、かつ、前記演算ユニット内の内部パイプラインメモリを選択して所定のデータ流れ経路を構成し、

所望のビデオ信号処理を行う、適応形ビデオ信号演算処理装置。

【請求項2】前記適応形ビデオ信号演算処理装置は、単一の命令ストリームで多重のデータストリーム処理を行う、「単一命令ストリーム・多重データストリーム：SIMD」制御方式で動作する、請求項1記載の適応形ビデオ信号演算処理装置。

【請求項3】前記演算ユニット内において、前記拡張算術論理演算ユニット、前記乗算ユニット、前記累積演算ユニットが、パイプライン処理動作を行う、請求項1または2記載の適応形ビデオ信号演算処理装置。

【請求項4】前記拡張算術論理演算ユニットは、第1の入力データの極性を反転する正負反転器、該正負反転器の後段に設けられ、前記第1の入力データまたは前記極性反転された第1のデータを選択的に出力する第1のデータセレクト、

該第1のデータセレクトの選択出力データおよび第2の入力データとを加算する加算器、

前記第1の入力データから前記第2の入力データを減じる減算器、

前記第1の入力データと前記第2のデータとの、論理和、論理積、排他的論理和、否定などの論理処理を行う論理演算器、

前記加算器および前記減算器の出力を入力して正負判定を行う正負判定器、

前記加算器、前記減算器、および、前記正負判定器の出力を入力し、選択的に出力する第2のデータセレクト、該第2のデータセレクトに接続された第1の出力端子、および、

前記減算器に接続された第2の出力端子を有し、上述した回路を組み合わせて、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理のいずれかを行う、請求項3記載の適応形ビデオ信号演算処理装置。

【請求項5】前記複数の演算ユニットの初段の演算ユニットに、離散コサイン変換処理用データを入力する端子が設けられ、

前記複数の演算ユニットの最終段の演算ユニットに、離散コサイン逆変換処理用データを入力する端子が設けられた、請求項4記載の適応形ビデオ信号演算処理装置。

【請求項6】 $m \times n$ 画像データをブロックとして、バタフライ演算およびパイプラインメモリ処理を複数回数行なって離散コサイン変換処理を行う際、

前記離散コサイン変換処理用データを前記最終段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する前記相互接続パイプラインメモリに出力し、

全ての演算ユニット内の乗算ユニットに最終段の相互接続パイプラインメモリのデータを入力し、その乗算結果を前記累積ユニットにおいて累積させるように経路を確立する、請求項5記載の適応形ビデオ信号演算処理装置。

【請求項7】 $m \times n$ 画像データをブロックとして、パイプラインメモリ処理およびバタフライ演算を複数回数行なって離散コサイン逆変換処理を行う際、

前記離散コサイン変換処理用データを前記初段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する前記相互接続パイプラインメモリに出力し、

全ての演算ユニット内の乗算ユニットに最終段の相互接続パイプラインメモリのデータを入力し、その乗算結果を前記累積ユニットにおいて累積させるように経路を確立する、請求項5記載の適応形ビデオ信号演算処理装置。

【請求項8】量子化処理を行う際、

隣接する演算ユニット内の第1の演算ユニットの乗算ユニットの出力端子を第2の演算ユニットの乗算ユニットの入力端子に接続し、

該第2の乗算ユニットの乗算結果をその後段の累積ユニットに入力し、

前記第1の乗算ユニットに量子化対象のデータを入力す

るように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項9】逆量子化処理を行う際、隣接する演算ユニット内の第1の演算ユニットの乗算ユニットの出力端子を第2の演算ユニットの乗算ユニットの入力端子に接続し、該第2の乗算ユニットの乗算結果をその後段の累積ユニットに入力し、

第1の演算ユニットに逆量子化対象のデータおよび定数を入力し、その演算結果を第1の乗算ユニットに入力するように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項10】動きベクトル検出処理の際、全ての演算ユニット内の拡張算術論理演算ユニットを累積演算ユニットに接続し、前記拡張算術論理演算ユニットに動きベクトル検出対象の2つのデータを入力するように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項11】動き補償における仮想画素生成処理の際、全ての演算ユニット内の拡張算術論理演算ユニットを累積演算ユニットに接続し、前記拡張算術論理演算ユニットに動き補償における仮想画素生成対象の2つのデータを入力するように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項12】動き補償における予測画素生成処理の際、隣接する演算ユニットの一方の乗算ユニットの出力を他方の拡張算術論理演算ユニットの一方の入力端子に印加し、他方の乗算ユニットの出力を該他方の拡張算術論理演算ユニットの他方の入力端子に印加し、該他方の拡張算術論理演算ユニットの演算結果を他方の累積ユニットにおいて累積させるように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項13】内積演算処理の際、全ての演算ユニット内の乗算ユニットに内積対象のデータを入力し、該乗算結果を対応する累積ユニットにおいて累積するように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【請求項14】画像データ加算処理の際、または、画像データ減算処理の際、全ての演算ユニット内の拡張算術論理演算ユニットに処理対象のデータを入力し、該処理結果を出力するように経路を確立する、請求項1～4いずれか記載の適応形ビデオ信号演算処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば、数値計算、画像処理、グラフィックス処理等に用いられる計算機システムにおける中央処理装置（プロセッサ）に関するものであり、特に画像圧縮符号化（コーデック）のようなビデオ信号処理に好適なデジタルシグナルプロセッサ（DSP）などの適応形ビデオ信号演算処理装置に関する。

10 【0002】

【従来の技術】近年、CCITT H. 261勧告やMPEG等の画像圧縮符号化／伸長復号化標準に基づく画像コーデック用デジタルシグナルプロセッサ（DSP）が多数提案されている。本発明は、これらのDSPのうちで、文献、Yamauchi, et al., "Architecture and Implementation of a Highly Parallel Single-Chip Video DSP", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, VOL. 2, NO. 2, JUNE 1992, pp. 207-220, に提案されているように、算術論理演算ユニット、乗算器、累算器等からなる演算ユニットを複数有し、それらの演算ユニットが単一の命令流により複数のデータを並列に処理する「単一命令ストリーム・多重データストリーム：SIMD (Single Instruction stream Multiple Data stream)」制御方式のDSPに関する。この文献に記載されている構成については図17を参照して後述する。このDSPの演算ユニットは、演算器をパイプライン接続可能であり、演算パイプライン処理も行う。

【0003】まず、演算パイプラインの原理について簡単に説明する。図18に、演算パイプラインの構成例を示す。この演算パイプラインは、2入力X、Yを算術論理演算ユニット（ALU）A1において加算した後に、加算結果と係数メモリA3からの係数とを乗算器A2において乗算し、さらにその乗算結果を累算器A3において累算する。このような演算の連鎖を複数のデータに対して連続的に行うことを演算パイプライン処理と呼ぶ。

40 【0004】図19は図18の演算パイプラインにおける処理のタイムチャートを示すグラフである。簡単化のため、演算パイプラインの各演算器A1、A2、A4は1クロックサイクルで演算を完了するものとする。図19における処理単位は、2入力端子に入力されるデータの組（X、Y）を意味する。図19に示すように、例えばi番目の処理単位についてみると、(k-1)番目のクロックサイクルにおいてALU（A1）が加算処理を行い、k番目のクロックサイクルにおいて乗算器A2が乗算処理を行い、(k+1)番目のクロックサイクルにおいて累算器A4が累算処理を行う。また、k番目のク

ロックサイクルについてみると、加算処理、乗算処理を終えた $(i-1)$ 番目の処理単位が累算器A4において累算され、加算を終えた i 番目の処理単位が乗算器A2において乗算され、 $(i+1)$ 番目の処理単位が加算器A1において加算されている。このような動作を複数の処理単位に対して繰り返し行うことにより演算パイプライン処理が実現できる。

【0005】次に、従来の技術について説明する。ここでは、4組の演算ユニットが単一の命令流により複数のデータを並列に処理する、上述した文献において提案されている「単一命令ストリーム・多重データストリーム：SIMD」制御方式のDSPを考える。前提として、各演算ユニットは、加算、減算および論理演算を行う算術論理演算ユニット(ALU)、乗算器、累算器の3種の演算器からなるとする。また、簡単化のため、各演算器は1クロックサイクルで演算を完了するものとする。したがって、このDSPは、1クロックサイクルで最大12演算(例えば、4加算、4乗算、4累算)を実行することができる。さらに、このDSPは、演算器へデータを供給あるいは演算器からのデータを格納するためのデータメモリをチップ内あるいはチップ外に持つとする。

【0006】最初に、上記の前提の下で、最も自由度の高い演算パイプラインを実現する構成について述べる。図20(A)～(D)に示したように、最も自由度の高い演算パイプラインは、データメモリをパイプラインレジスタとみなし、ソフトウェアにより演算パイプライン処理(ソフトウェア・パイプラインングと呼ばれる)を行うことにより実現できる。このとき、各々の演算器はデータメモリを介してのみ結合されている。なお、図20(A)～(D)はそれぞれ、4個の並列に設けられた演算処理ユニットの動作形態を示す。したがって、データメモリは、1クロックサイクル毎にすべての演算器の入力に対して任意のデータを供給し、同時にすべての演算器からの出力のデータを任意のアドレスに格納する必要がある。データメモリのポート数は、図20(A)～(D)の図解から判るように、演算器への入力のために16ポート必要で、演算器からの出力のために12ポート必要である。したがって、合計28ポートのマルチポートメモリが必要である。このポート数は、現在の半導体回路技術と考え合わせてみて、非現実的であり、事実上実現困難である。

【0007】そこで、データメモリをバンク分けして、1バンク当たりのポート数を減らす手法が考えられる。しかしながら、例えばデータメモリを4バンクに分割したとしても、上記の例では、なおも1バンク当たり7ポートのマルチポートメモリを必要とする。したがって、アプリケーション・プログラムに応じて演算パイプラインの自由度をある程度限定し、データメモリのポート数の減少を図るアプローチを採ることができる。

【0008】例えば、上述した文献に提案されているように、ALU、乗算器、累算器からなる演算パイプラインを4本備え、演算パイプラインの入出力のみをデータメモリに接続する。この場合のデータメモリに要求されるポート数は、演算パイプラインへの入力のために8ポート、演算パイプラインからの出力のために4ポートとなる。

【0009】

【発明が解決しようとする課題】ところが、上述した従来のDSPの演算パイプラインの構成では、演算パイプラインの自由度に制約がある。例えば、乗算した後に論理演算を行う演算については、パイプライン演算ができない。この場合、すべてのデータに対して、まず乗算器を用いて乗算のパイプライン処理を行い、次に乗算後のすべてのデータに対して、ALUを用いて論理演算のパイプライン処理を行う。したがって、乗算時はALUが使用されず、論理演算時は乗算器が使用されていないため、演算器の使用効率が低下し、性能低下を招く。また、演算パイプライン処理を2回に分けて行うため、演算パイプラインの立ち上げ時の初期設定が2回必要となる。さらに、上述した従来のDSPにおいては、1回目の演算パイプライン処理が完了した時点で中間結果を格納する必要があるため、データメモリ容量が増大する。

【0010】画像コーデックの要素処理では、上記の例のように乗算した後に論理演算を行う演算の他に、乗算を連続して行う演算や、乗算した結果同士を加算する演算等が必要となる。このような演算のそれぞれについて、上述した問題と同様の問題が発生する。

【0011】また、上述した従来のDSPの演算パイプライン構成では、本出願人による、特許出願、特願平4年338183号、「2次元 8×8 離散コサイン変換回路および2次元 8×8 離散コサイン逆変換回路」において提案するような高速演算アルゴリズムにおける、バタフライ演算(加算および減算)と乗加算の演算パイプラインの構成を実現できない。この先行する特許出願は、2次元 8×8 離散コサイン変換、または、2次元 8×8 離散コサイン変換を行うに際して、行列分解を適用して演算処理するものであるが、その詳細は、図5および図6を参照して後述する。

【0012】上記のように、演算パイプライン構成ができない理由としては、データメモリのポート数の制約上、バタフライ演算(従来例では2演算ユニットを使用)を行っているときには乗加算を並列に行えないためである。よって、バタフライ演算と乗加算は逐次的に実行されるので、上記特許出願において提案したような理想的な演算パイプライン構成と比較して、性能は著しく低下する。

【0013】

【課題を解決するための手段】上述した課題を解決するために、本発明では、ビデオ信号処理を行うデジタル

シグナルプロセッサ(DSP)、つまり、適応形ビデオ信号演算処理装置において、算術論理演算ユニット(ALU)、乗算器、累算器からなる演算ユニットを複数有し、これらの演算ユニット内の演算器の接続形態および演算ユニット間の接続形態を適宜切り替えることにより、画像コーデック処理における離散コサイン変換/逆離散コサイン変換(DCT/IDCT)

量子化/逆量子化

動きベクトル検出

動き補償(仮想画素生成、予測画素生成)

フィルタ(内積演算)

画像加算、画像差分

等の要素処理の各々に適応した演算パイプラインを実現する構造可変な演算パイプラインを設ける。

【0014】したがって、本発明によれば、離散コサイン変換/逆離散コサイン変換、量子化/逆量子化、動きベクトル検出、動き補償、内積演算、画像データ加算および画像データ差分処理などの画像圧縮符号化/伸長復号化処理を、 $m \times n$ の大きさのブロックの画像データについて、適応的に行う演算処理装置であって、それぞれが、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理を行う拡張算術論理演算ユニット、該拡張算術論理演算ユニットの後段に設けられた第1の内部パイプラインメモリ、該第1の内部パイプラインメモリの後段に設けられた乗算ユニット、該乗算ユニットに係数を提供する係数メモリ、該乗算ユニットに後段に設けられた第2の内部パイプラインメモリ、該第2の内部パイプラインメモリの後段に設けられた累積演算ユニット、該累積演算ユニットに後段に設けられた第3の内部パイプラインメモリを有する、複数の並列に設けられた演算ユニット、これら複数の並列に設けられた演算ユニットのうち、隣接する演算ユニットを接続するように配設された相互接続パイプラインメモリ、および、前記複数の演算ユニットに入力データを選択的に印加するデータセレクトを有し、前記相互接続パイプラインメモリを介して隣接する演算ユニットを結合し、かつ、前記演算ユニット内の内部パイプラインメモリを選択して所定のデータ流れ経路を構成し、所望のビデオ信号処理を行う、適応形ビデオ信号演算処理装置が提供される。

【0015】好適には、前記演算ユニット内において、前記拡張算術論理演算ユニット、前記乗算ユニット、前記累積演算ユニットが、パイプライン処理動作を行う。

【0016】特定的には、前記拡張算術論理演算ユニットは、第1の入力データの極性を反転する正負反転器、該正負反転器の後段に設けられ、前記第1の入力データまたは前記極性反転された第1のデータを選択的に出力する第1のデータセレクト、該第1のデータセレクトの選択出力データおよび第2の入力データとを加算する加

算器、前記第1の入力データから前記第2の入力データを減じる減算器、前記第1の入力データと前記第2のデータとの、論理和、論理積、排他的論理和、否定などの論理処理を行う論理演算器、前記加算器および前記減算器の出力を入力して正負判定を行う正負判定器、前記加算器、前記減算器、および、前記正負判定器の出力を入力し、選択的に出力する第2のデータセレクト、該第2のデータセレクトに接続された第1の出力端子、および、前記減算器に接続された第2の出力端子を有し、上述した回路を組み合わせて、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理のいずれかを行う。

【0017】

【作用】上記の構成によれば、算術論理演算ユニット(ALU)、乗算器、累算器からなる演算ユニットを複数有し、これらの演算ユニット内の演算器の接続形態および演算ユニット間の接続形態を適宜切り替えることにより、画像コーデックの各要素処理を並列にパイプライン処理できる。

20 【0018】好適には、前記適応形ビデオ信号演算処理装置は、単一の命令ストリームで多重のデータストリーム処理を行う、「単一命令ストリーム・多重データストリーム:SIMD」制御方式で動作する。

【0019】離散コサイン変換処理用および離散コサイン逆変換処理用を行う場合には、前記複数の演算ユニットの初段の演算ユニットに、離散コサイン変換処理用データを入力する端子が設けられ、前記複数の演算ユニットの最終段の演算ユニットに、離散コサイン逆変換処理用データを入力する端子が設けられる。 $m \times n$ 画像データをブロックとして、バタフライ演算およびパイプラインメモリ処理を複数回数行って離散コサイン変換処理を行う際には、前記離散コサイン変換処理用データを前記最終段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する前記相互接続パイプラインメモリに出力し、全ての演算ユニット内の乗算ユニットに最終段の相互接続パイプラインメモリのデータを入力し、その乗算結果を前記累積ユニットにおいて累積させる。

40 【0020】また、 $m \times n$ 画像データをブロックとして、パイプラインメモリ処理およびバタフライ演算を複数回数行って離散コサイン逆変換処理を行う際には、前記離散コサイン変換処理用データを前記初段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する前記相互接続パイプラインメモリに出力し、全ての演算ユニット内の乗算ユニットに最終段の相互接続パイプラインメモリのデータを入力し、その乗算結果を前記累積ユニットにおいて累積させる。

50 【0021】量子化処理を行う際には、隣接する演算ユ

ユニット内の第1の演算ユニットの乗算ユニットの出力端子を第2の演算ユニットの乗算ユニットの入力端子に接続し、該第2の乗算ユニットの乗算結果をその後段の累積ユニットに入力し、前記第1の乗算ユニットに量子化対象のデータを入力する。

【0022】逆量子化処理を行う際には、隣接する演算ユニット内の第1の演算ユニットの乗算ユニットの出力端子を第2の演算ユニットの乗算ユニットの入力端子に接続し、該第2の乗算ユニットの乗算結果をその後段の累積ユニットに入力し、第1の演算ユニットに逆量子化対象のデータおよび定数を入力し、その演算結果を第1の乗算ユニットに入力する。

【0023】動きベクトル検出処理の際には、全ての演算ユニット内の拡張算術論理演算ユニットを累積演算ユニットに接続し、前記拡張算術論理演算ユニットに動きベクトル検出対象の2つのデータを入力する。

【0024】動き補償における仮想画素生成処理の際には、全ての演算ユニット内の拡張算術論理演算ユニットを累積演算ユニットに接続し、前記拡張算術論理演算ユニットに動き補償における仮想画素生成対象の2つのデータを入力する。

【0025】動き補償における予測画素生成処理の際には、隣接する演算ユニットの一方の乗算ユニットの出力を他方の拡張算術論理演算ユニットの一方の入力端子に印加し、他方の乗算ユニットの出力を該他方の拡張算術論理演算ユニットの他方の入力端子に印加し、該他方の拡張算術論理演算ユニットの演算結果を他方の累積ユニットにおいて累積させる。

【0026】内積演算処理の際には、全ての演算ユニット内の乗算ユニットに内積対象のデータを入力し、該乗算結果を対応する累積ユニットにおいて累積する。

【0027】画像データ加算処理の際、または、画像データ減算処理の際には、全ての演算ユニット内の拡張算術論理演算ユニットに処理対象のデータを入力し、該処理結果を出力する。

【0028】

【実施例】以下、図面を参照し、本発明の実施例の適応形ビデオ信号演算処理装置について詳述する。本発明の実施例においても、従来技術と同様に、4組の演算ユニットが単一の命令流により並列動作する、上記文献において提案されている「単一命令ストリーム・多重データストリーム：SIMD」制御方式のDSPを考える。前提として、各演算ユニットは、加算、減算および論理演算を行うALU、乗算器、累算器の3種の演算器からなる。また、簡単のため、各演算器は1クロックサイクルで演算を完了するものとする。したがって、このDSPは、1クロックサイクルで最大12演算を実行することができる。さらに、このDSPは演算器にデータを供給し、また、演算器からのデータを格納するためのデータメモリをチップ内あるいはチップ外に持つとす

る。

【0029】以下、演算ユニットの構成を述べたあと、画像コーデックの要素処理における演算ユニットの動作を説明する。なお、ここで例示する画像コーデックの要素処理は、主にMPEGで使用される要素処理である。

(1) 演算ユニットの構成

図1に、4組の演算ユニット1～4間の結合形態を示す。図1では、データメモリは図示していない。実際には、データ入力端子(Xin0～Xin3)11～14、および、データ入力端子(Yin0～Yin3)21～24、および、データ出力端子(Out1～Out3)31～34は、何らかの相互結合網を介してデータメモリ(図示せず)に接続されている。ここでは簡単のため、データメモリは、上記8個のデータ入力端子11～14、21～24に1クロックサイクル毎にデータを供給でき、同時に上記4個のデータ出力端子31～34からのデータを1クロックサイクル毎に書き込むことができる。すなわち、演算ユニット1～4とデータメモリ(図示せず)とは、上記のデータ転送能力を備えた相互結合網により結合されているとする。また、演算ユニット1～4間を結合するメモリ(以下、相互接続バイラインメモリと呼ぶ)0(5)、1(6)、2(7)や、パラレル-シリアル変換器9、シリアル-パラレル変換器10、データセクタ8、41～44は、後述する離散コサイン変換/逆離散コサイン変換(または、離散コサイン逆変換)(DCT/IDCT)の高速演算アルゴリズムにおけるマクロな演算バイライン構成を実現する際に必要となる。なお、図1に示したDCT入力端子51およびIDCT入力端子52についても、相互結合網(図示せず)を介してデータメモリ(図示せず)に接続されており、1クロックサイクル毎のデータ入出力が可能となっている。

【0030】図2および図3に演算ユニットの内部構成を示す。図2は演算ユニット0(1)および演算ユニット2(3)の内部構成図であり、図3が演算ユニット1(2)および演算ユニット3(4)の内部構成図である。図2および図3に示すように、演算ユニット内では、加算、減算、論理演算および後述するバタフライ演算等の演算を行う拡張算術論理演算ユニット(EALU)61、係数メモリ63、乗算器62、累算とシフト演算を行うシフト機能付き累算器64、さらには入力端子(Xink)1k(kはk番目を示す)および(Yink)2k、および、出力端子(Outk)3kが、データセクタ71～75を介して相互に結合されている。簡単化のため、これらの演算器は、全て1クロックサイクルで演算を完了するものとする。したがって、演算器61、62、64の後段に設けられている内部バイライン・レジスタ(図示省略)が存在する。このような演算器61、62、63および内部バイラインメモリの結合形態を採ることにより、データセクタ71～

75の設定に従って、内部パイプラインメモリを介して、演算器61、62、64間のデータパスを変化させることが可能となる。よって、この演算ユニットは、1〜3段の構造可変な演算パイプライン構成を採りうる。

【0031】図2に示した演算ユニットと図3に示した演算ユニットとの相違は、図3に示した演算ユニットには、データセクタ71および73に第3の入力データが印加される構成になっていることである。

【0032】図4に拡張算術論理演算ユニット(EALU)61の構成を示す。EALU61は、正負反転器301、データセクタ306、加算器302、減算器303、論理演算器304、正負判定器305、データセクタ307を有する。このEALU61は、通常のALUの基本機能である加算、減算、論理演算(否定、論理和、論理積、排他的論理和等)の他に、大小比較演算 $\min(X, Y)$ 、 $\max(X, Y)$ 、差分絶対値演算 $|X - Y|$ 、バタフライ演算(2入力について加算と減算を同時に行う)を拡張機能として備える。これらの基本機能および拡張機能は、上述した各種演算器301、302、303、304および305を適切に結合することによって実現される。以下、上記の基本機能および拡張機能をEALU61が各種演算器を用いていかに実現するかを述べる。

【0033】加算

入力端子311および312に印加された2入力データXおよびYの加算は加算器302を用いて実現する。入力データXについては、正負反転器301を経由しないデータXが加算器302に印加されるように、予めデータセクタ306を設定する。これにより、加算器302からは加算結果 $(X + Y)$ が出力される。データセクタ307は、加算器302の加算出力をEALU61の出力として、A側出力端子313から出力する。

【0034】減算

入力端子311および312に印加された2入力データ $(X - Y)$ の演算は減算器303を用いて実現する。減算器83からは減算結果 $(X - Y)$ が出力される。この減算結果はB側出力端子314から出力される。

【0035】論理演算

入力端子311および312に印加された2入力データ (X, Y) の論理演算は論理演算器304を用いて実現する。論理演算器304は、否定、論理和、論理積、排他的論理和などの論理演算を行い、この演算結果が、データセクタ307を介して、A側出力端子313からEALU61の結果として出力される。

【0036】大小比較演算： $\min(X, Y)$ 、 $\max(X, Y)$

入力端子311および312に印加された2入力データ (X, Y) の大小比較は、正負反転器301、加算器302、減算器303および正負判定器305を用いて行う。入力データXは正負反転器301で反転され、反転

された $(-X)$ がデータセクタ306を介して加算器302に印加される。これにより、加算器302から減算結果 $(Y - X)$ が出力される。一方、減算器303において減算 $(X - Y)$ の演算が行われる。加算結果 $(Y - X)$ および減算結果 $(X - Y)$ が正負判定器305に印加されて、入力データXとYとの大小比較判定が行われる。正負判定器305は下記の判定基準に従って、大小判定を行う。

1. 最小値： $\min(X, Y)$

10 $(Y - X) \geq 0$ とき、最小値 $= X$

$(Y - X) < 0$ とき、最小値 $= Y$

2. 最大値： $\max(X, Y)$

$(X - Y) \geq 0$ とき、最大値 $= Y$

$(X - Y) < 0$ とき、最大値 $= X$

ただし、最小値と最大値とを同時に出力はできない。データセクタ307は、正負反転器305の出力をEALU61の出力として、A側出力端子313から出力する。

【0037】差分絶対値演算 $|X - Y|$

20 入力端子311および312に印加された2入力データ (X, Y) の差分絶対値演算は、正負反転器301、加算器302、減算器303および正負判定器305を用いて行う。入力データXについては正負反転器301で極性反転された $-X$ がデータセクタ306から加算器302に選択出力されるように、予めデータセクタ306を設定しておく。加算器302は加算 $(Y - X)$ を行い、減算器303は減算 $(X - Y)$ を行う。これらの演算結果が正負判定器305に入力される。正負判定器305は、下記の差分絶対値演算を行う。

30 $(Y - X) \geq 0$ とき、差分絶対値 $= Y - X$

$(X - Y) < 0$ とき、差分絶対値 $= X - Y$

データセクタ307は上記演算された差分絶対値をA側出力端子313から出力する。

【0038】バタフライ演算

入力端子311および312に印加された2入力データ (X, Y) についてのバタフライ演算は、加算器301および減算器303を用いて実現する。入力データXが正負反転器301を経由しないで加算器302に印加されるように、予めデータセクタ306を設定しておく。加算器302は加算 $(X + Y)$ を行い、減算器303は減算 $(X - Y)$ を行う。データセクタ307が加算器302の出力をEALU61の出力としてA側出力端子313から出力すると同時に、減算器303の減算結果がB側出力端子314から出力される。このバタフライ演算の場合のみ、EALU61は2入力2出力の演算器として動作する。上述した他の演算においては、EALU61は2入力1出力の演算器として動作する。

【0039】以下、DCT/IDCT、量子化などの画像コーデックの各要素処理における演算ユニットの動作を個別的に説明する。

離散コサイン変換／逆離散コサイン変換(DCT／IDCT)

離散コサイン変換／逆離散コサイン変換(DCT／IDCT)の要素処理において、本発明の実施例における演算ユニットでは、本出願人が先に出願した、特願平4年338183号の明細書及び図面で提案するような高速演算アルゴリズムに適應するバタフライ演算(加算および減算)と乗加算のマクロな演算パイプラインの構成を以下のように実現する。

【0040】図5は8×8DCTの演算パイプライン構成の概略図を示し、図6は8×8IDCTの演算パイプライン構成の概略図を示す。これらの演算パイプラインの処理単位は8×8の画像ブロック(64画素)であり、パイプラインメモリ131～133を介した4段の演算パイプライン構成となる。したがって、通常の画素単位で1クロックサイクル毎にパイプライン処理を行う演算パイプラインとは異なり、64クロックサイクル毎にパイプライン処理を行うことから、マクロな演算パイプラインと考えられる。

【0041】以下、8×8DCTを例にとって上記の演算パイプラインの高速演算アルゴリズムを簡単に説明する。前述の特許出願、特願平4年338183号において提案したような行列分解により、8×8DCTは、8×8の画像ブロック(64画素)に対して165回のバタフライ演算(加算165回および減算165回)を行い、さらに、220回の乗加算(乗算220回および累算220回)を行うことにより実現できる。したがって、図5に示すような4段の演算パイプラインの構成、つまり、3個のバタフライ演算器101～103と4個の乗加算器111による回路構成を採ることにより、64クロックサイクル周期(理想的には55クロックサイクル)で演算パイプライン処理を行い、8×8DCTを計算することが可能となる。また、8×8IDCTについても、乗加算とバタフライ演算の順序が入れ替わるだけで、演算量や演算パイプライン段数は変わらない。なお、上述した出願では、乗加算器数を3個にするために、さらに乗加算回数を減らす工夫を行っているが、本発明の実施例においては乗加算器数は4個であると仮定しているため、この工夫は必要ない。

【0042】図7(A)～(D)に、本発明の実施例における演算ユニットを用いて、上述の8×8IDCTの演算パイプライン構成を実現した場合の演算器およびメモリの結合形態(データパス)を示す。図7(A)～

$$y = 8 \cdot x \cdot \frac{1}{W} \cdot \frac{1}{QP}$$

【0046】ただし、Xは量子化前の画素値であり、Yは量子化後の画素値を表し、Wは量子化行列の係数を示し、QPは量子化スケールパラメータを表す。

【0047】図9(A)～(D)に本発明の実施例にお

(D)はそれぞれ、4系統の演算ユニットの動作形態を示す。図7(A)～(D)および図1に示すように、演算ユニット0(1)、1(2)、2(3)内のEALU61をメモリ0(5)、1(6)、2(7)、つまり、パイプラインメモリ5、6、7を介してパイプライン接続する。さらに、演算ユニット2(3)のEALU61の出力を、シリアルーパラレル変換器10、データセクタ41～44を介して、4個の乗算器62に接続し、各々の乗算器62の出力をシフト機能付き累算器64にパイプライン接続する。なお、この時のEALU61は、前述したEALUとしての拡張機能であるバタフライ演算を行うため、2入力2出力となっている。このような演算器およびメモリの結合形態を採ることにより、図5に示すようなマクロな演算パイプライン構成を実現する。

【0043】また、図8(A)～(D)に、本発明の実施例における演算ユニットを用いて、上述の8×8IDCTの演算パイプライン構成を実現した場合の演算器およびメモリの結合形態(データパス)を示す。図8

(A)～(D)はそれぞれ、4系統の演算ユニットの動作形態を示す。図8(A)～(D)および図9(A)～(D)に示すように、各演算ユニットの4個の乗算器62を各々シフト機能付き累算器64にパイプライン接続する。さらに、すべてのシフト機能付き累算器64の出力を、パラレルーシリアル変換器9、データセクタ8を介して、メモリ0(5)に接続する。また、演算ユニット1(2)、2(3)、3(4)のEALU61をメモリ0(5)、1(6)、2(7)、つまり、パイプラインメモリ5、6、7を介してパイプライン接続する。なお、この時のEALU61は、前述したEALU61の拡張機能であるバタフライ演算を行うため、2入力2出力となっている。このような演算器およびメモリの結合形態を採ることにより、図6に示すようなマクロな演算パイプライン構成を実現する。

【0044】量子化／逆量子化処理

(イ) 量子化

画像コーデックの量子化処理においては、下式1のように乗算を連続して行い、さらにシフト演算を行う演算パターンが存在する。これは、量子化処理において最も複雑な演算パターンである。

【0045】

【数1】

.....(1)

ける演算ユニットを用いて上式の演算を実現した場合の演算器の結合形態(データパス)を示す。図9(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す。図9(A)～(D)のように、2個の乗算器62お

よびシフト機能付き累算器 6 4 をパイプライン接続するデータバスを実現することにより、上式の演算パターンを分割処理することなく 1 本の演算パイプラインで処理できる。この量子化処理の演算パターンにおいて、本発明の実施例における演算ユニットの構成では、図 9

(A) ~ (D) に示すように 3 段の演算パイプラインを 2 本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対する量子化を 2 並列にパイプライン処理できる。

$$x = \frac{1}{16} \cdot \{ (2 \cdot y + K) \cdot W \cdot QP \} \quad \dots\dots (2)$$

【0050】ただし、X は量子化前の画素値であり、Y は量子化後の画素値を表し、K は逆量子化時に必要となる定数を表し、(K = 0、1 または -1) W は量子化行列の係数であり、QP 量子化スケールパラメータを表す。

【0051】図 10 (A) ~ (D) に本発明の一実施例における演算ユニットを用いて、上式の演算を実現した場合の演算器の結合形態（データバス）を示す。図 10 (A) ~ (D) はそれぞれ、4 系統の演算ユニットの動作形態を示す。図 10 (A) ~ (D) に示すように、E A L U 6 1 と 2 個の乗算器 6 2 およびシフト機能付き累算器 6 4 をパイプライン接続するデータバスを構成することにより、上式の演算パターンを分割することなく 1 本の演算パイプラインで実現できる。なお、シフトおよび

$$\sum |x - y|$$

【0054】ただし、X は動きベクトル探索の基準となる画像ブロック（参照ブロックと呼ばれる）の画素値を表し、Y は動きベクトル探索の対象となる画像ブロック（候補ブロックと呼ばれる）の画素値を表す。

【0055】図 11 (A) ~ (D) に本発明の一実施例における演算ユニットを用いて、上式の演算を実現した場合の演算器の結合形態（データバス）を示す。図 11 (A) ~ (D) はそれぞれ 4 系統の演算ユニットの動作形態を示す。図 11 (A) ~ (D) のように、E A L U 6 1 およびシフト機能付き累算器 6 4 をパイプライン接続するデータバスを構成することにより、上式の差分絶対値和演算を分割することなく 1 本の演算パイプラインで実現できる。なお、差分絶対値演算には、前述した E A L U 6 1 の拡張機能である差分絶対値演算機能を用いる。この動きベクトル検出処理の差分絶対値和演算において、本発明の実施例における演算ユニットの構成では、図 11 (A) ~ (D) に示すように 2 段の演算パイプラインを 4 本実現できる。このような演算パイプライン構成を採ることにより、全候補ブロックに対する動き

$$a = \frac{1}{4} (x + y + z + w) \quad \dots\dots (4)$$

【0059】ただし、a は仮想画素を表し、x、y、z、w は、近傍の 4 画素を表す。

【0060】図 13 (A) ~ (D) に本発明の実施例に

【0048】ロ) 逆量子化

画像コーデックの逆量子化処理においては、下式 2 のようにシフトおよび加算を行ったあと、乗算を連続して行い、さらに、シフト演算を行う演算パターンが存在する。これは、逆量子化処理において最も複雑な演算パターンである。

【0049】

【数 2】

び定数加算は、E A L U 6 1 で 1 クロックサイクルで実行可能とする。この逆量子化処理の演算パターンにおいて、本発明の実施例における演算ユニットの構成では、図 10 (A) ~ (D) に示すように 4 段の演算パイプラインを 2 本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対する逆量子化を 2 並列にパイプライン処理できる。

【0052】動きベクトル検出

20 画像コーデックの動きベクトル検出処理においては、下式のような差分絶対値和演算が動きベクトル候補の数だけ必要となる（ただし、探索アルゴリズムにブロックマッチングの全探索を採用した場合）。

【0053】

【数 3】

..... (3)

ベクトル検出を 4 並列にパイプライン処理できる。

【0056】動き補償（仮想画素生成、予測画素生成）

30 画像コーデックにおける動き補償処理は、動きベクトルの値やブロックのモードにより、様々な処理に場合分けされる。このうち、最も複雑な演算を行う場合について考える。このとき、動き補償処理は、仮想画素生成および予測画素生成の 2 つの処理に分けられる。以下、本発明の実施例における演算ユニットにおいて、上記 2 つの処理のそれぞれに適合する演算パイプラインの構成をどのように実現するかを説明する。

【0057】(イ) 仮想画素生成

40 仮想画素生成処理は、1/2 画素精度の動きベクトルに伴い、画素間の補間を行って仮想画素を生成する処理である。図 12 に仮想画素の生成規則を示す。図 12 から分かるように、最も複雑な仮想画素生成処理は、近傍 4 画素から中央の 1 仮想画素を生成する場合である。

【0058】

【数 4】

..... (4)

における演算ユニットを用いて、上式の演算を実現した場合の演算器の結合形態（データバス）を示す。図 13

50 (A) ~ (D) はそれぞれ、4 系統の演算ユニットの動

作形態を示す。図13(A)～(D)のように、EALU61およびシフト機能付き累算器64をパイプライン接続するデータバスを構成することにより、上式の演算パターンを分割することなく1本の演算パイプラインで処理できる。この仮想画素生成処理において、本発明の一実施例における演算ユニットの構成では、図13

(A)～(D)に示すように2段の演算パイプラインを4本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対する仮想画素生成を4並列にパイプライン処理できる。

【0061】(ロ) 予測画素生成

$$a = \frac{1}{16} \{A \cdot x + (16-A) \cdot y\} \quad \dots\dots (5)$$

【0063】ただし、aは両方向動き補償予測値を示し、x、yはそれぞれ前向きおよび後ろ向きの動き補償予測値を示し、Aは2つの画像ブロックの時間的距離によって決定するパラメータである。

【0064】図14(A)～(D)に本発明の一実施例における演算ユニットを用いて、上式の演算を実現した場合の演算器の結合形態(データバス)を示す。図14(A)～(D)はそれぞれ、4系統の演算ユニットの動作形態を示す。図14(A)～(D)に示すように、2個の乗算器62の出力をEALU61の入力とし、さらにシフト機能付き累算器64をパイプライン接続するデータバスを構成することにより、上式の演算パターンを分割することなく1本の演算パイプラインで実現できる。この予測画素生成処理において、本発明の実施例に

$$\sum c \cdot x$$

【0067】ただし、cはフィルタ係数を示し、xは画像ブロック内の画素を示す。

【0068】図15(A)～(D)に本発明の実施例の演算ユニットを用いて上式の演算を実現した場合の演算器の結合形態(データバス)を示す。図15(A)～(D)はそれぞれ、4系統の演算ユニットの動作形態を示す。図15(A)～(D)に示すように、乗算器62およびシフト機能付き累算器64をパイプライン接続するデータバスを構成することにより、上式の内積演算を分割することなく1本の演算パイプラインで実現できる。このフィルタ処理において、本発明の実施例における演算ユニットの構成では、図15(A)～(D)に示すように2段の演算パイプラインを4本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対するフィルタ処理を4並列にパイプライン処理できる。

【0069】画像加算、画像差分

画像加算および画像差分もまた、画像コーデックに限らず、画像処理の基本的な要素処理である。ここでは、画像ブロック間で画像加算あるいは画像差分を計算する場合を考える。図16(A)～(D)に本発明の一実施例における演算ユニットを用いて、画像加算あるいは画像

予測画素生成処理は、単方向(前向きあるいは後ろ向き)動き補償予測か両方向動き補償予測かのモードにより異なる。単方向動き補償予測の場合は、単に動きベクトルに従ってフレームメモリにアクセスし、当該画像ブロックを得ればよい。ところが、両方向動き補償予測の場合は、前向きおよび後ろ向きの2種の動きベクトルに従って2つのフレームメモリからそれぞれ画像ブロックを得、さらにそれらの画素を時間的距離によって平均化して予測値を得る。

10 【0062】

【数5】

における演算ユニットの構成では、図14(A)～(D)に示すように3段の演算パイプラインを2本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対する予測画素生成を2並列にパイプライン処理できる。

【0065】フィルタ(内積演算)

20 画像コーデックに限らず、フィルタ処理は画像処理の基本的な要素処理である。ここでは、画像ブロック内の全画素に対して1次元フィルタ処理を行う場合を考える。フィルタ処理においては下式のような内積演算が必要となる。

【0066】

【数6】

$$\dots\dots (6)$$

差分を実現した場合の演算器の結合形態(データバス)を示す。図16(A)～(D)はそれぞれ、4系統の演算ユニットの動作形態を示す。本発明の実施例における演算ユニットの構成では、図16(A)～(D)に示すようにEALU61を用いた1段の演算パイプラインを4本実現できる。このような演算パイプライン構成を採ることにより、画像ブロック内の全画素に対する画像加算あるいは画像差分を4並列にパイプライン処理できる。

【0070】以上の実施例は、適応形ビデオ信号の代表的な処理について述べたが、本発明は適応形ビデオ信号演算処理装置においては、上述した信号処理例に限定されず、上記同様の他の信号処理にも適用できる。

【0071】

40 【発明の効果】本発明によれば、画像コーデックの要素処理における、乗算した後に論理演算を行う演算、乗算を連続して行う演算、あるいは、乗算した結果同士を加算する種々の演算を適応的に1つの適応形ビデオ信号演算処理装置で実現できる。また、本発明の適応形ビデオ信号演算処理装置は、「単一命令ストリーム・多重データストリーム: SIMD」制御方式に基づく、1本の演算パイプラインを用いた1回のパイプライン処理で実現

できる。したがって、従来の構成と比較して、本発明の適応形ビデオ信号演算処理装置は異なる演算器を用いる演算を並列に実行できるため、演算器の使用効率は低下しない。また、本発明の適応形ビデオ信号演算処理装置は演算パイプラインの立ち上げ時の初期設定も1回でよい。さらには、本発明の適応形ビデオ信号演算処理装置は中間結果を格納する必要はないので、データメモリ容量は増大しない。

【0072】また、本発明の適応形ビデオ信号演算処理装置はバタフライ演算器3個と乗加算器をパイプライン・メモリで接続したマクロな演算パイプライン構成を実現可能としているため、前述の特願平4年338183号出願（平成4年11月25日出願）にて提案したような回路構成による、DCT高速演算アルゴリズムにおけるバタフライ演算と乗加算の演算パイプラインの構成が実現可能となる。これにより、本発明の適応形ビデオ信号演算処理装置は、画像コーデックのDCT/IDCTの要素処理における演算器使用効率が従来の構成と比較して大幅に向上し、性能が向上する。

【図面の簡単な説明】

【図1】本発明の実施例による演算ユニットの結合形態を示す適応形ビデオ信号演算処理装置の構成図である。

【図2】本発明の実施例による演算ユニット0、2の構成を示す図である。

【図3】本発明の実施例による演算ユニット1、3の構成を示す図である。

【図4】本発明の実施例による拡張論理演算ユニット(EALU)の構成を示す図である。

【図5】8×8DCTの演算パイプライン構成図である。

【図6】8×8IDCTの演算パイプライン構成図である。

【図7】本発明の実施例によるDCT処理時の適応形ビデオ信号演算処理装置の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図8】本発明の実施例によるIDCT処理時の適応形ビデオ信号演算処理装置の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図9】本発明の実施例による量子化処理時の適応形ビデオ信号演算処理装置の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図10】本発明の実施例による逆量子化処理時の適応形ビデオ信号演算処理装置の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図11】本発明の実施例による動きベクトル検出処理時の適応形ビデオ信号演算処理装置の演算パイプライン

の構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図12】画像コーデックの動き補償処理の仮想画素生成規則を示す図である。

【図13】本発明の実施例による動き補償における仮想画素生成処理時の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図14】本発明の実施例による動き補償における予測画素生成処理時の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図15】本発明の実施例によるフィルタ処理時の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図16】本発明の実施例による画像加算あるいは画像差分処理時の適応形ビデオ信号演算処理装置の演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【図17】「単一命令ストリーム・多重データストリーム:SIMD」制御方式のプロセッサの構成図である。

【図18】演算パイプラインの例を示す図である。

【図19】図18の演算パイプライン処理におけるタイムチャートを示すグラフである。

【図20】最も自由度の高い演算パイプラインの構成を示す図であり、(A)～(D)はそれぞれ4系統の演算ユニットの動作形態を示す図である。

【符号の説明】

30 A1・・・算術論理演算ユニット(ALU)

A2・・・乗算器

A3・・・係数メモリ

A4・・・累算器

1～4・・・本発明の実施例における演算ユニット

5～7・・・相互接続パイプラインメモリ

8・・・データセクタ

9・・・パラレルーシリアル変換器

10・・・シリアルーパラレル変換器

11～14, 21～24・・・演算ユニットの入力端子

40 31～34・・・演算ユニットの出力端子

41～44・・・データセクタ

51・・・8×8DCT用入力端子

52・・・8×8IDCT用出力端子

61・・・拡張論理演算ユニット(EALU)

62・・・乗算器

63・・・係数メモリ

64・・・シフト機能付き累算器

71～75・・・データセクタ

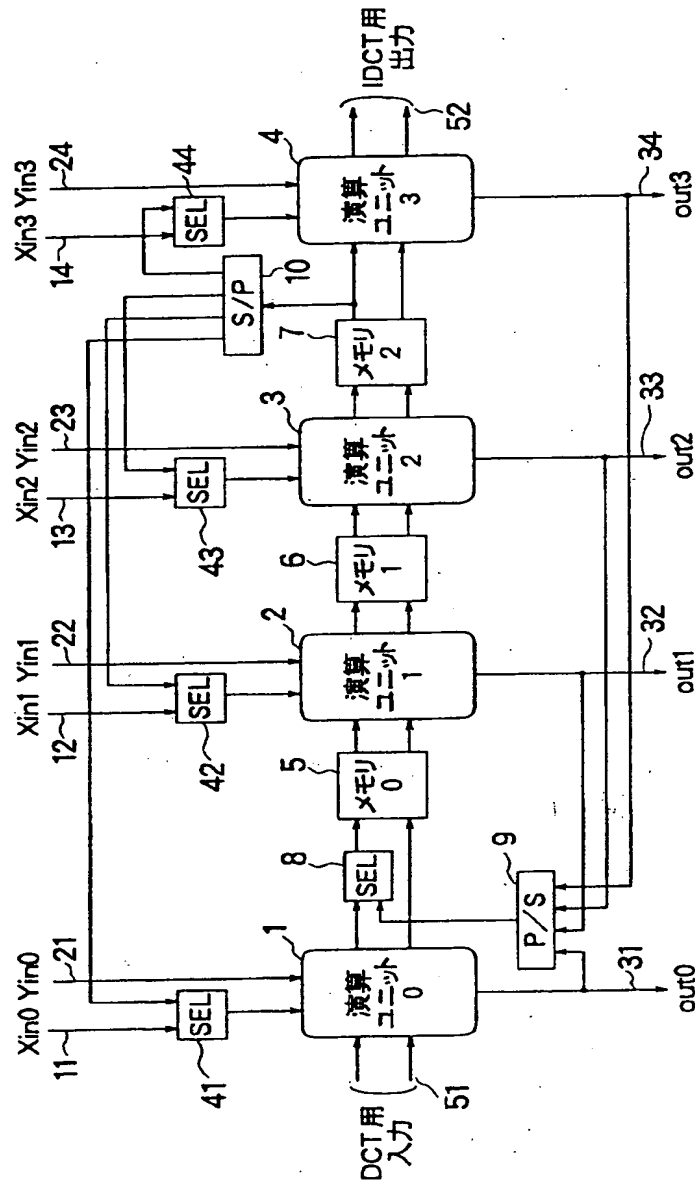
81・・・正負反転器

50 82・・・加算器

83・・・減算器
 84・・・論理演算器
 85・・・正負反転器
 86, 87・・・データセクタ
 91, 92・・・EALUの入力端子
 93, 94・・・EALUの出力端子

101～103・・・バタフライ演算器
 111・・・乗加算器
 121・・・シリアル-パラレル変換器
 122・・・パラレル-シリアル変換器
 131～133・・・パイプラインメモリ
 141・・・データメモリ

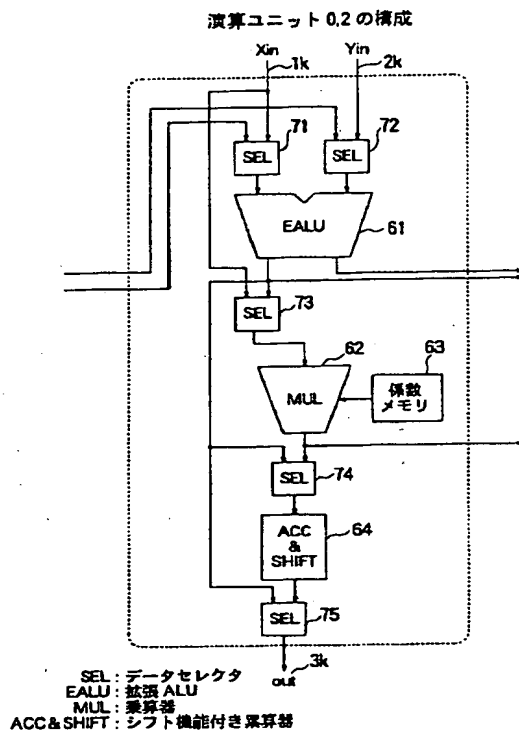
【図1】



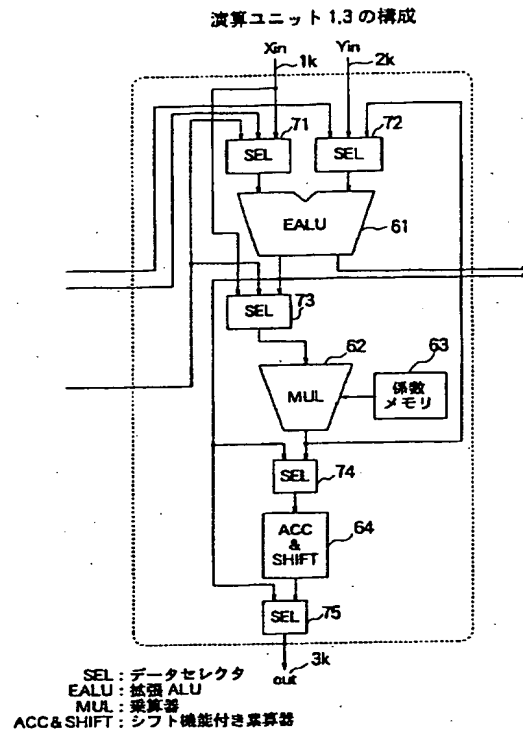
SEL: データセクタ
 S/P: シリアル-パラレル変換器
 P/S: パラレル-シリアル変換器

演算ユニットの結合状態

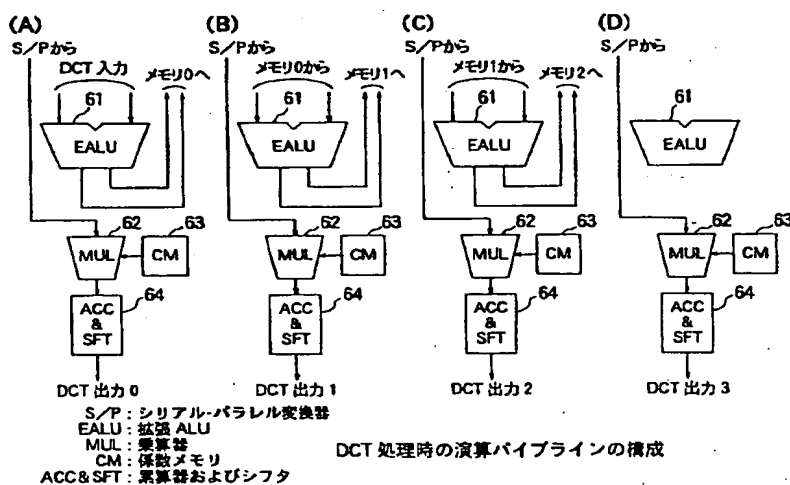
【図 2】



【図 3】

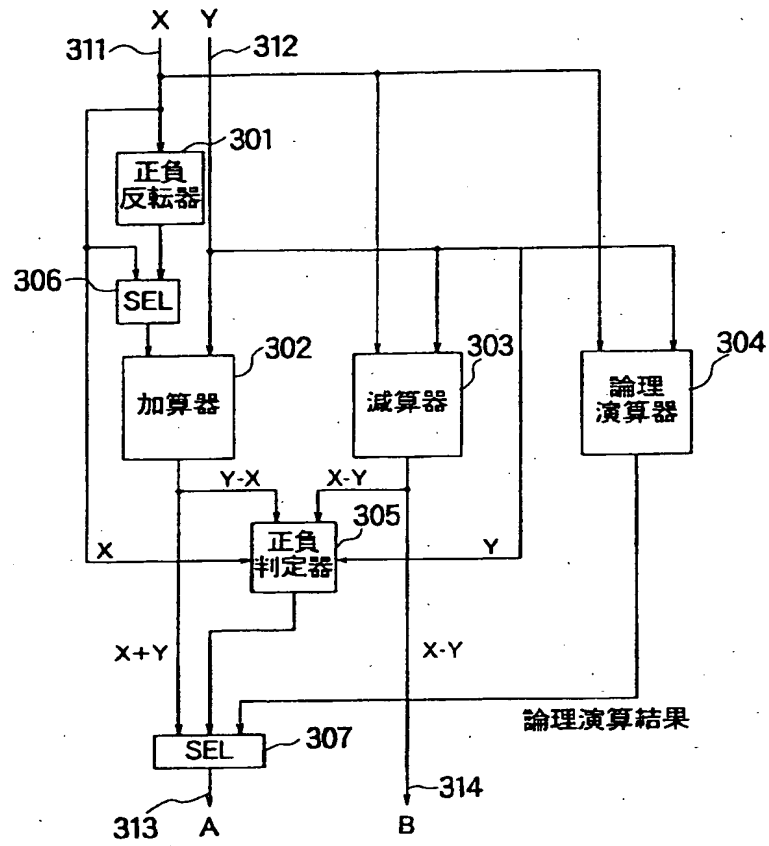


【図 7】



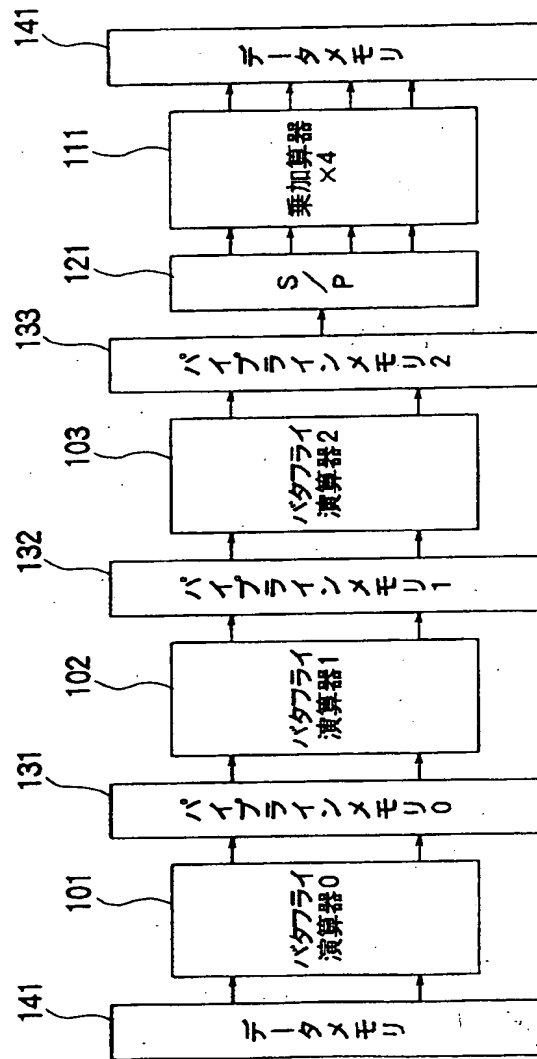
【図 4】

拡張算術論理ユニット(EALU)の構成



SEL : データセレクト

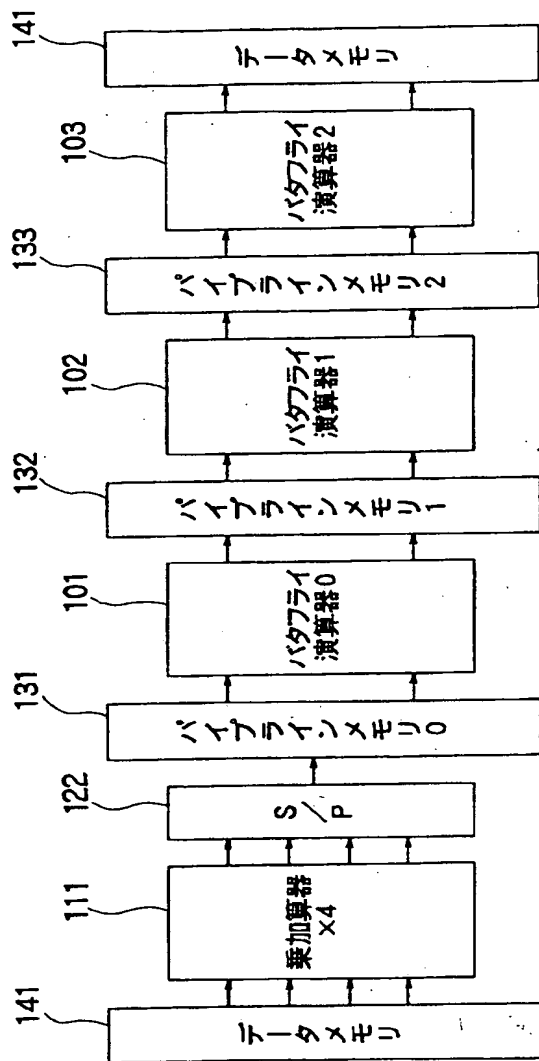
【図 5】



P/S: パラレル-シリアル変換器

8×8DCT の演算パイプライン構成の概念図

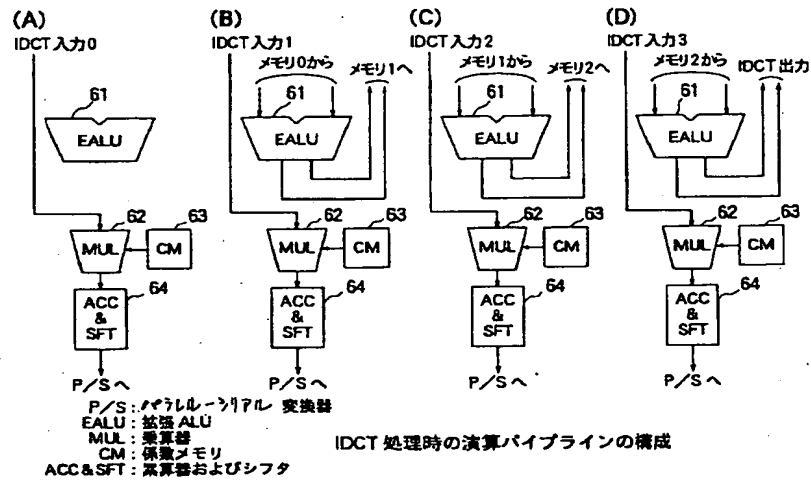
【図 6】



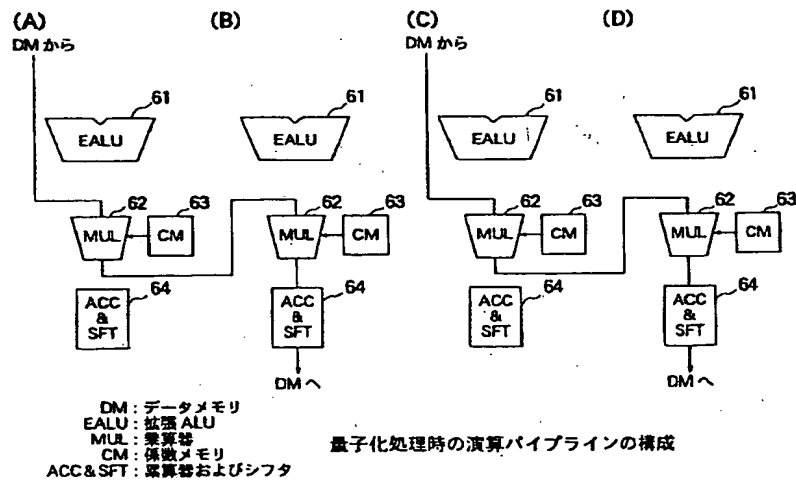
P/S: パラレル・シリアル変換器

8x8IDCT の演算パイプライン構成の概念図

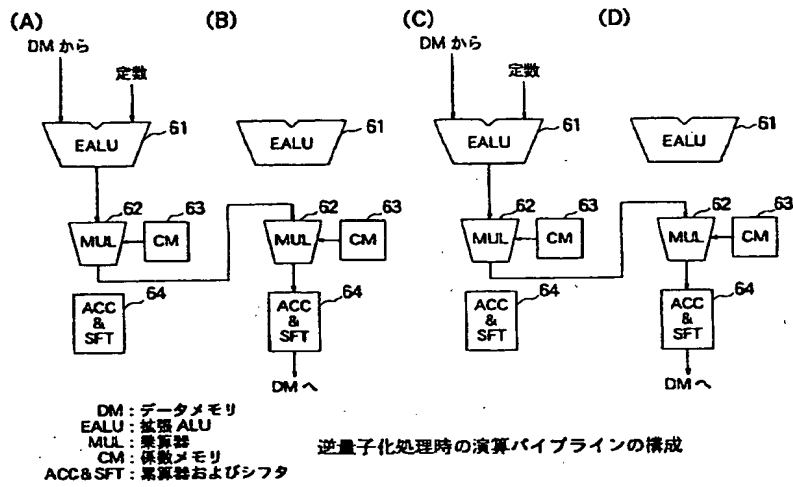
【 図 8 】



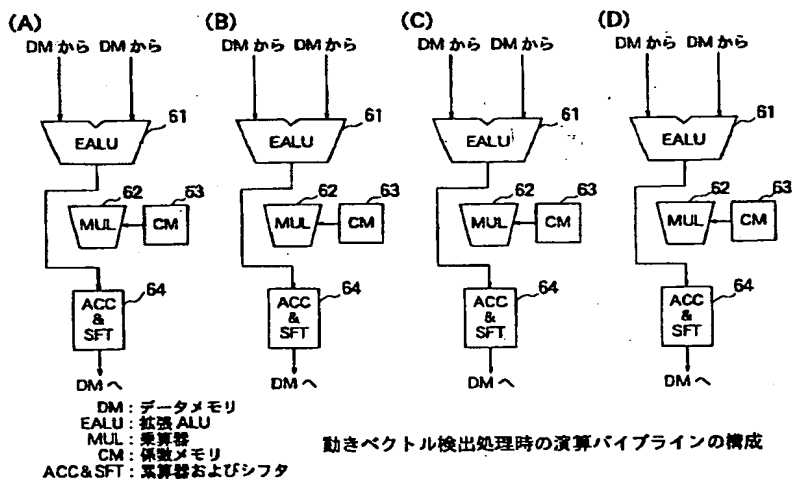
【 図 9 】



【図 10】



【図 11】



【図12】

動き補償の仮想画素生成規則

x ○ b ○ z ○

e ○ a ○ c ○

y ○ d ○ w ○

○: 画素
○: 仮想画素

$$a = \frac{1}{4}(x+y+z+w)$$

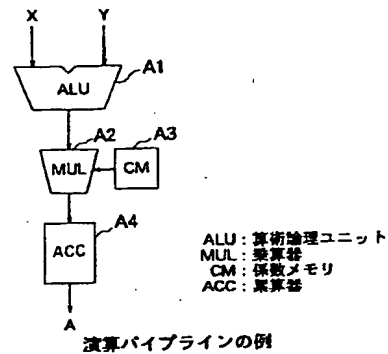
$$b = \frac{1}{2}(x+z)$$

$$c = \frac{1}{2}(z+w)$$

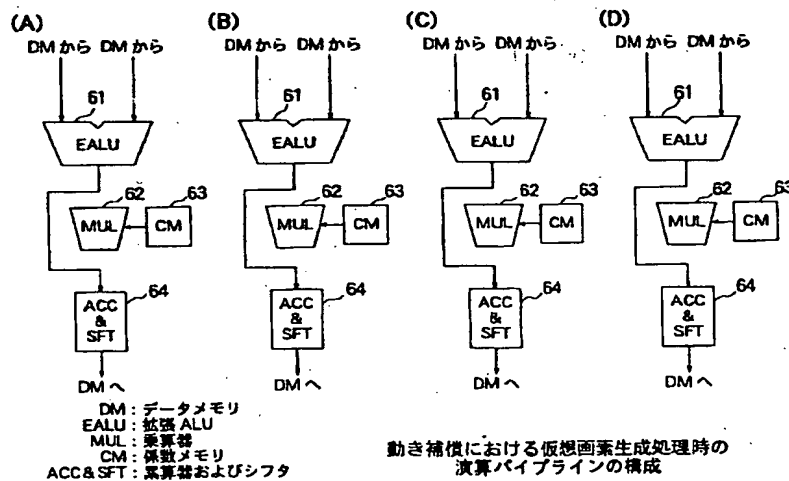
$$d = \frac{1}{2}(y+w)$$

$$e = \frac{1}{2}(x+y)$$

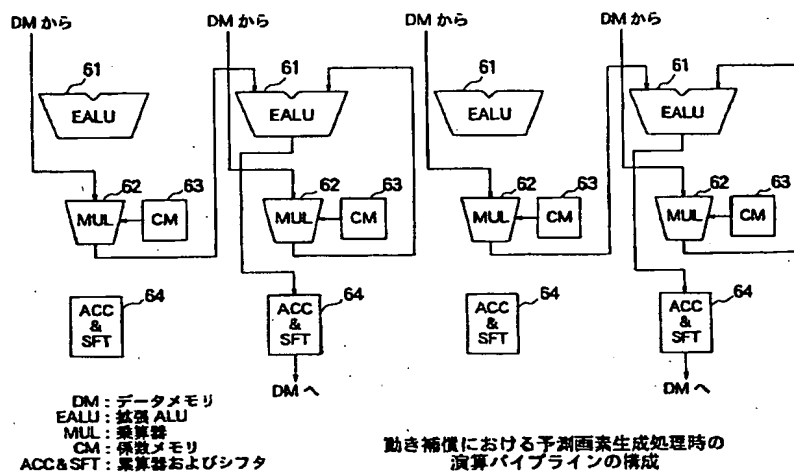
【図18】



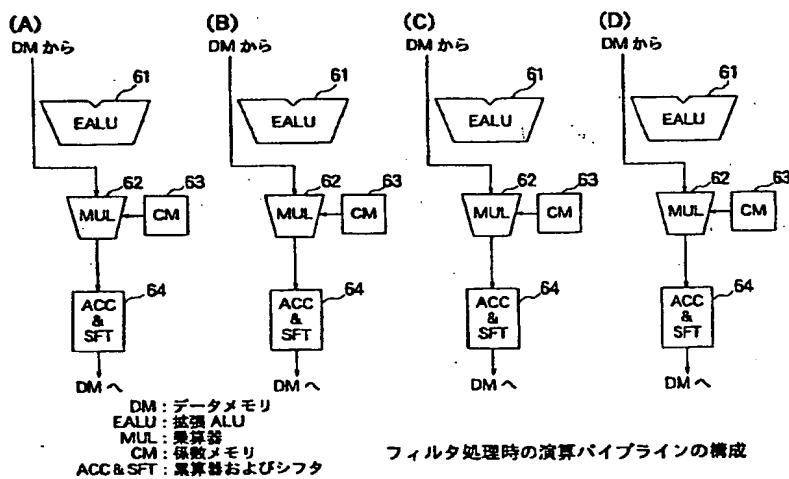
【図13】



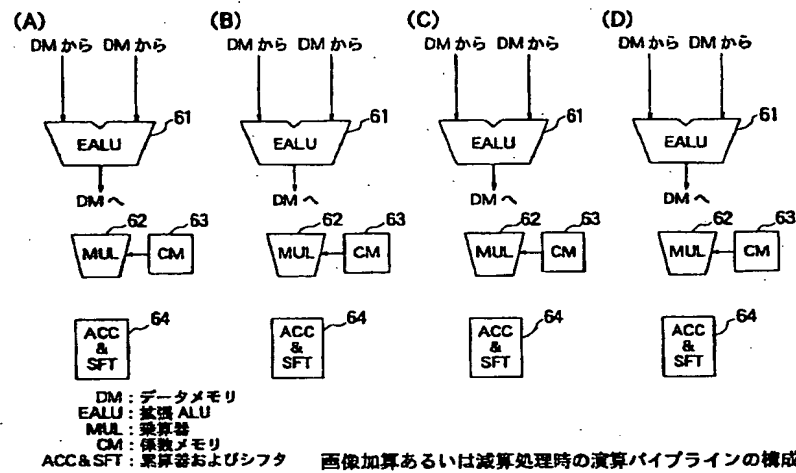
【図 1 4】



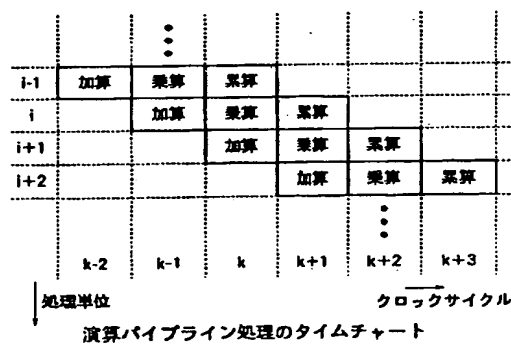
【図 1 5】



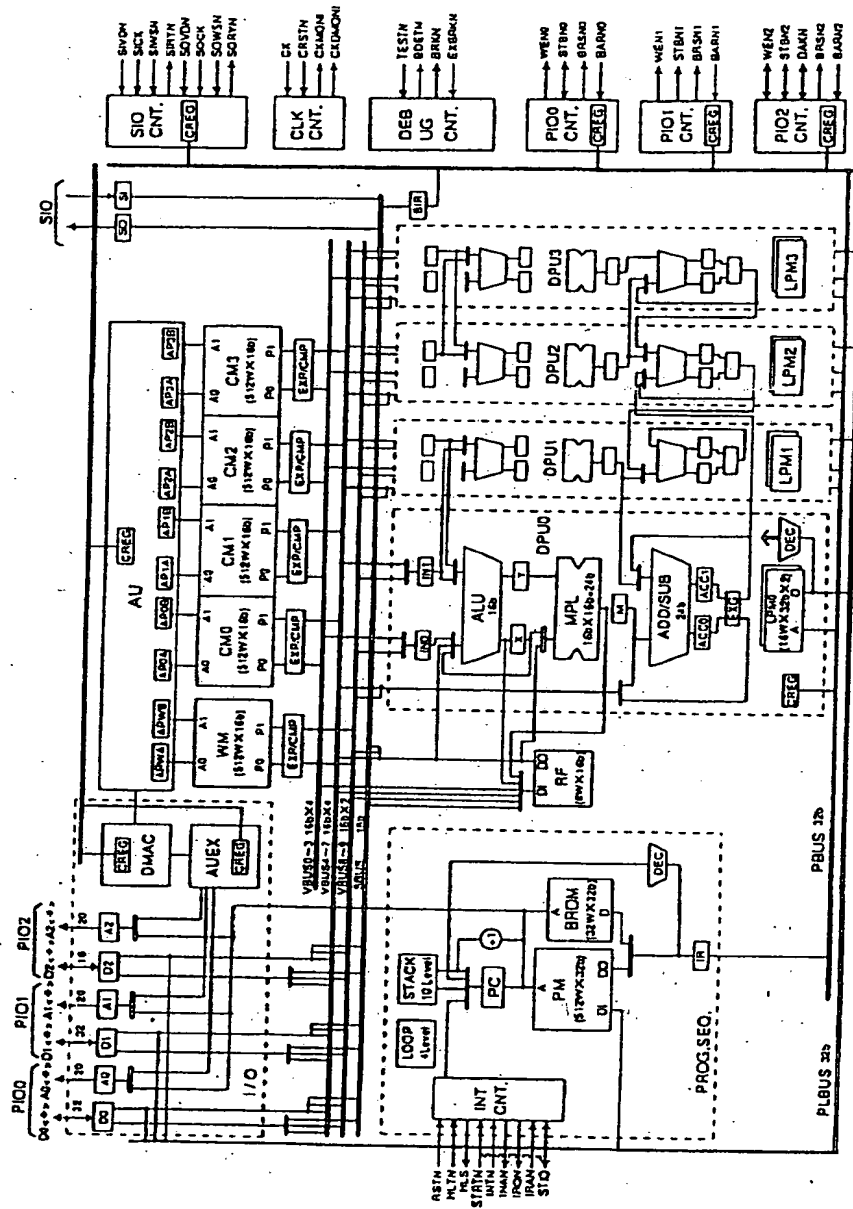
【図 16】



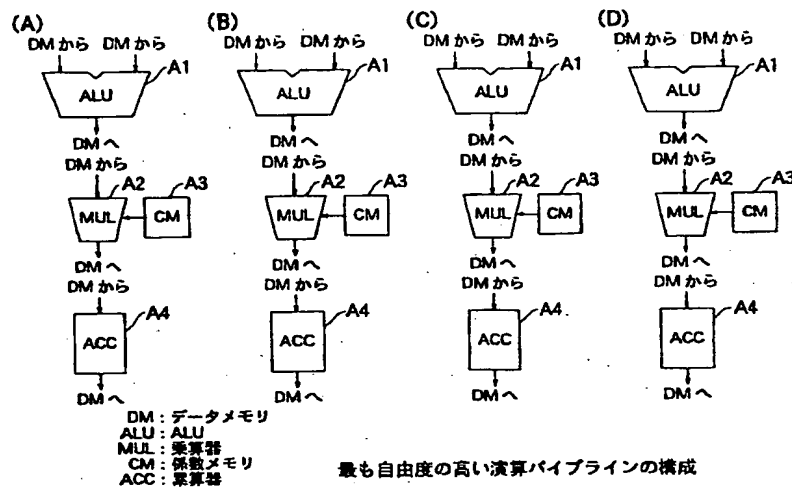
【図 19】



【図17】



【図 20】



【手続補正書】

【提出日】平成 6 年 4 月 1 1 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 1

【補正方法】変更

【補正内容】

【請求項 1】離散コサイン変換／離散コサイン逆変換、量子化／逆量子化、動きベクトル検出、動き補償、内積演算、画像データ加算および画像データ差分処理などの画像圧縮符号化／伸長復号化処理を、 $m \times n$ の大きさのブロックの画像データについて、適応的に行う演算処理装置であって、

それぞれが、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理を行う拡張算術論理演算ユニット、該拡張算術論理演算ユニットの後段に設けられた第 1 の内部パイプラインメモリ、該第 1 の内部パイプラインメモリの後段に設けられた乗算ユニット、該乗算ユニットに係数を提供する係数メモリ、該乗算ユニットに後段に設けられた第 2 の内部パイプラインメモリ、該第 2 の内部パイプラインメモリの後段に設けられた累積演算ユニット、該累積演算ユニットに後段に設けられた第 3 の内部パイプラインメモリを有する、複数の並列に設けられた演算ユニット、

これら複数の並列に設けられた演算ユニットのうち、隣接する演算ユニットを接続するように配設された相互接続パイプラインメモリ、および、

前記複数の演算ユニットに入力データを選択的に印加す

るデータセレクトを有し、

前記相互接続パイプラインメモリを介して隣接する演算ユニットを結合し、かつ、前記演算ユニット内の内部パイプラインメモリを選択して所定のデータ流れ経路を構成し、

所望のビデオ信号処理を行う、適応形ビデオ信号演算処理装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 5

【補正方法】変更

【補正内容】

【請求項 5】前記複数の演算ユニットの初段の演算ユニットに、離散コサイン変換処理用データを入力する端子が設けられ、

前記複数の演算ユニットの最終段の演算ユニットに、離散コサイン逆変換処理用データを出力する端子が設けられた、請求項 4 記載の適応形ビデオ信号演算処理装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】請求項 7

【補正方法】変更

【補正内容】

【請求項 7】 $m \times n$ 画像データをブロックとして、パイプラインメモリ処理およびバタフライ演算を複数回数行なって離散コサイン逆変換処理を行う際、

前記離散コサイン逆変換用データを全ての演算ユニット

内の乗算ユニットに入力し、その乗算結果を前記累算ユニットにおいて累積させ、

その出力を前記初段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する相互接続パイプラインメモリに出力するように経路を確立する、請求項5記載の適応形ビデオ信号演算処理装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、例えば、数値計算、画像処理、グラフィックス処理等に用いられる計算機システムにおける中央処理装置（プロセッサ）に関するものであり、特に画像圧縮符号化（コーデック：CODEC）のようなビデオ信号処理に好適なディジタルシグナルプロセッサ（DSP）などの適応形ビデオ信号演算処理装置に関する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】近年、CCITT H. 261 勧告やMPEG等の画像圧縮符号化／伸長復号化標準に基づく画像コーデック用ディジタルシグナルプロセッサ（DSP）が多数提案されている。本発明は、これらのDSPのうちで、文献、Yamauchi, et al., "Architecture and Implementation of a Highly Parallel Single-Chip Video DSP", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, VOL. 2, NO. 2, JUNE 1992, pp. 207-220、に提案されているように、算術論理演算ユニット、乗算器、累算器等からなる演算ユニットを複数有し、それらの演算ユニットが単一の命令流により複数のデータを並列に処理する「単一命令ストリーム・多重データストリーム：SIMD (Single Instruction stream Multiple Data stream)」制御方式のDSPに関する。この文献に記載されている構成を図17に示した。このDSPの演算ユニットは、演算器をパイプライン接続可能であり、演算パイプライン処理も行う。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】そこで、データメモリをバンク分けして、1バンク当たりのポート数を減らす手法が考えられる。しかしながら、例えばデータメモリを4バンクに分割したとしても、上記の例では、なおも1バンク当たり7ポートのマルチポートメモリを必要とする。したがって、アプリケーション・プログラムに応じて演算パイプラインの自由度をある程度限定し、データメモリのポート数の減少を図るアプローチが採られる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、上述した従来のDSPの演算パイプライン構成では、本出願人による、特許出願、特願平4年338183号、「2次元8×8離散コサイン変換回路および2次元8×8離散コサイン逆変換回路」において提案するような高速演算アルゴリズムにおける、バタフライ演算（加算および減算）と乗加算の演算パイプラインの構成を実現できない。この先行する特許出願は、2次元8×8離散コサイン変換、または、2次元8×8離散コサイン逆変換を行うに際して、行列分解を適用して演算処理するものであるが、その詳細は、図5および図6を参照して後述する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】上述した課題を解決するために、本発明では、ビデオ信号処理を行うディジタルシグナルプロセッサ（DSP）、つまり、適応形ビデオ信号演算処理装置において、算術論理演算ユニット（ALU）、乗算器、累算器からなる演算ユニットを複数有し、これらの演算ユニット内の演算器の接続形態および演算ユニット間の接続形態を適宜切り替えることによ

り、画像コーデック処理における離散コサイン変換／離散コサイン逆変換（DCT／IDCT）

量子化／逆量子化

動きベクトル検出

動き補償（仮想画素生成、予測画素生成）

フィルタ（内積演算）

画像加算、画像差分

等の要素処理の各々に適した演算パイプラインを実現する構造可変な演算パイプラインを設ける。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】したがって、本発明によれば、離散コサイン変換／離散コサイン逆変換、量子化／逆量子化、動きベクトル検出、動き補償、内積演算、画像データ加算および画像データ差分処理などの画像圧縮符号化／伸長復号化処理を、 $m \times n$ の大きさのブロックの画像データについて、適応的に行う演算処理装置であって、それぞれが、加算、減算、各種論理演算、大小比較、差分絶対値演算、バタフライ加算・減算処理を行う拡張算術論理演算ユニット、該拡張算術論理演算ユニットの後段に設けられた第1の内部パイプラインメモリ、該第1の内部パイプラインメモリの後段に設けられた乗算ユニット、該乗算ユニットに係数を提供する係数メモリ、該乗算ユニットに後段に設けられた第2の内部パイプラインメモリ、該第2の内部パイプラインメモリの後段に設けられた累積演算ユニット、該累積演算ユニットに後段に設けられた第3の内部パイプラインメモリを有する、複数の並列に設けられた演算ユニット、これら複数の並列に設けられた演算ユニットのうち、隣接する演算ユニットを接続するように配設された相互接続パイプラインメモリ、および、前記複数の演算ユニットに入力データを選択的に印加するデータセレクトを有し、前記相互接続パイプラインメモリを介して隣接する演算ユニットを結合し、かつ、前記演算ユニット内の内部パイプラインメモリを選択して所定のデータ流れ経路を構成し、所望のビデオ信号処理を行う、適応形ビデオ信号演算処理装置が提供される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】離散コサイン変換処理用および離散コサイン逆変換処理用を行う場合には、前記複数の演算ユニットの初段の演算ユニットに、離散コサイン変換処理用データを入力する端子が設けられ、前記複数の演算ユニットの最終段の演算ユニットに、離散コサイン逆変換処理用データを出力する端子が設けられる。 $m \times n$ 画像データをブロックとして、バタフライ演算およびパイプラインメモリ処理を複数回数行って離散コサイン変換処理を行う際には、前記離散コサイン変換処理用データを前記最終段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する前記相互接続パイプラインメモリに出力し、全ての演算ユニット内の乗算ユニットに最終段の相互接続パイプラインメモリのデータを入力し、その乗算結果を前記累積ユニットにおいて

累積させる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】また、 $m \times n$ 画像データをブロックとして、パイプラインメモリ処理およびバタフライ演算を複数回数行って離散コサイン逆変換処理を行う際には、前記離散コサイン逆変換用データを全ての演算ユニット内の乗算ユニットに入力し、その乗算結果を前記累積ユニットにおいて累積させ、その出力を前記初段の演算ユニットを除く複数の演算ユニット内の拡張算術論理演算ユニットに入力し、該拡張算術論理演算ユニットにおける処理結果を隣接する相互接続パイプラインメモリに出力する。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】以下、演算ユニットの構成を述べたあと、画像コーデックの要素処理における演算ユニットの動作を説明する。なお、ここで例示する画像コーデックの要素処理は、主にMPEGで使用される要素処理である。

(1) 演算ユニットの構成

図1に、4組の演算ユニット1～4間の結合形態を示す。図1では、データメモリは図示していない。実際には、データ入力端子($X_{in0} \sim X_{in3}$)11～14、および、データ入力端子($Y_{in0} \sim Y_{in3}$)21～24、および、データ出力端子($Out1 \sim Out3$)31～34は、何らかの相互結合網を介してデータメモリ(図示せず)に接続されている。ここでは簡単のため、データメモリは、上記8個のデータ入力端子11～14、21～24に1クロックサイクル毎にデータを供給でき、同時に上記4個のデータ出力端子31～34からのデータを1クロックサイクル毎に書き込むことができる。すなわち、演算ユニット1～4とデータメモリ(図示せず)とは、上記のデータ転送能力を備えた相互結合網により結合されているとする。また、演算ユニット1～4間を結合するメモリ(以下、相互接続パイプラインメモリと呼ぶ)0(5)、1(6)、2(7)や、パラレル-シリアル変換器9、シリアル-パラレル変換器10、データセレクト8、41～44は、後述する離散コサイン変換／離散コサイン逆変換(DCT/IDCT)の高速演算アルゴリズムにおけるマクロな演算パイプライン構成を実現する際に必要となる。なお、図1に示したDCT入力端子51およびIDCT出力端子52についても、相互結合網(図示せず)を介してデータメモリ(図示せず)に接続されており、1クロ

ックサイクル毎のデータ入出力が可能となっている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】図2および図3に演算ユニットの内部構成を示す。図2は演算ユニット0(1)および演算ユニット2(3)の内部構成図であり、図3が演算ユニット1(2)および演算ユニット3(4)の内部構成図である。図2および図3に示すように、演算ユニット内では、加算、減算、論理演算および後述するバタフライ演算等の演算を行う拡張算術論理演算ユニット(EALU)61、係数メモリ63、乗算器62、累算とシフト演算を行うシフト機能付き累算器64、さらには入力端子(Xink)1k(kはk番目を示す)および(Yink)2k、および、出力端子(Outk)3kが、データセクタ71~75を介して相互に結合されている。簡単化のため、これらの演算器は、全て1クロックサイクルで演算を完了するものとする。したがって、演算器61、62、64の後段に設けられている内部パイプラインメモリ(図示省略)が存在する。このような演算器61、62、63および内部パイプラインメモリの結合形態を採ることにより、データセクタ71~75の設定に従って、内部パイプラインメモリを介して、演算器61、62、64間のデータパスを変化させることが可能となる。よって、この演算ユニットは、1~3段の構造可変な演算パイプライン構成を採りうる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】大小比較演算： $\min(X, Y)$ 、 $\max(X, Y)$

入力端子311および312に印加された2入力データ(X, Y)の大小比較は、正負反転器301、加算器302、減算器303および正負判定器305を用いて行う。入力データXは正負反転器301で反転され、反転された(-X)がデータセクタ306を介して加算器302に印加される。これにより、加算器302から減算結果(Y-X)が出力される。一方、減算器303において減算(X-Y)の演算が行われる。加算結果(Y-X)および減算結果(X-Y)が正負判定器305に印加されて、入力データXとYとの大小比較判定が行われる。正負判定器305は下記の判定基準に従って、大小判定を行う。

1. 最小値： $\min(X, Y)$

(Y-X) \geq 0とき、最小値=X

(Y-X) < 0とき、最小値=Y

2. 最大値： $\max(X, Y)$

(X-Y) \geq 0とき、最大値=Y

(X-Y) < 0とき、最大値=X

ただし、最小値と最大値とをを同時に出力はできない。データセクタ307は、正負判定器305の出力をEALU61の出力として、A側出力端子313から出力する。

【手続補正15】

【補正対象書類名】明細書

10. 【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】バタフライ演算

入力端子311および312に印加された2入力データ(X, Y)についてのバタフライ演算は、加算器302および減算器303を用いて実現する。入力データXが正負反転器301を経由しないで加算器302に印加されるように、予めデータセクタ306を設定しておく。加算器302は加算(X+Y)を行い、減算器303は減算(X-Y)を行う。データセクタ307が加算器302の出力をEALU61の出力としてA側出力端子313から出力すると同時に、減算器303の減算結果がB側出力端子314から出力される。このバタフライ演算の場合のみ、EALU61は2入力2出力の演算器として動作する。上述した他の演算においては、EALU61は2入力1出力の演算器として動作する。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0039

30. 【補正方法】変更

【補正内容】

【0039】以下、DCT/IDCT、量子化などの画像コーデックの各要素処理における演算ユニットの動作を個別的に説明する。

離散コサイン変換/離散コサイン逆変換(DCT/IDCT)

離散コサイン変換/離散コサイン逆変換(DCT/IDCT)の要素処理において、本発明の実施例における演算ユニットでは、本出願人が先に出願した、特願平4年338183号の明細書及び図面で提案するような高速演算アルゴリズムに適應するバタフライ演算(加算および減算)と乗加算のマクロな演算パイプラインの構成を以下のように実現する。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】図7(A)~(D)に、本発明の実施例における演算ユニットを用いて、上述の8×8DCTの演

算パイプライン構成を実現した場合の演算器およびメモリの結合形態（データバス）を示す。図7（A）～

（D）はそれぞれ、4系統の演算ユニットの動作形態を示す。図7（A）～（D）および図1に示すように、演算ユニット0（1）、1（2）、2（3）内のEALU61をメモリ0（5）、1（6）、2（7）、つまり、パイプラインメモリ5、6、7を介してパイプライン接続する。さらに、演算ユニット2（3）のEALU61の出力を、シリアルーパラレル変換器10、データセクタ41～44を介して、4個の乗算器62に接続し、各々の乗算器62の出力をシフト機能付き累算器64にパイプライン接続する。なお、この時のEALU61は、前述したEALUとしての拡張機能であるバタフライ演算を行うため、2入力2出力となっている。このような演算器およびメモリの結合形態を採ることにより、図5に示すようなマクロな演算パイプライン構成を実現する。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】また、図8（A）～（D）に、本発明の実施例における演算ユニットを用いて、上述の8×8IDCTの演算パイプライン構成を実現した場合の演算器およびメモリの結合形態（データバス）を示す。図8

（A）～（D）はそれぞれ、4系統の演算ユニットの動作形態を示す。図8（A）～（D）および図1に示すように、各演算ユニットの4個の乗算器62を各々シフト機能付き累算器64にパイプライン接続する。さらに、すべてのシフト機能付き累算器64の出力を、パラレルーシリアル変換器9、データセクタ8を介して、メモリ0（5）に接続する。また、演算ユニット1（2）、2（3）、3（4）のEALU61をメモリ0（5）、1（6）、2（7）、つまり、パイプラインメモリ5、6、7を介してパイプライン接続する。なお、この時のEALU61は、前述したEALU61の拡張機能であるバタフライ演算を行うため、2入力2出力となっている。このような演算器およびメモリの結合形態を採ることにより、図6に示すようなマクロな演算パイプライン構成を実現する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】

【発明の効果】本発明によれば、画像コーデックの要素処理における、乗算した後に論理演算を行う演算、乗算を連続して行う演算、あるいは、乗算した結果同士を加

算する種々の演算を適応的に1つの適応形ビデオ信号演算処理装置で実現できる。また、本発明の適応形ビデオ信号演算処理装置は、「単一命令ストリーム・多重データストリーム：SIMD」制御方式に基づく、1本の演算パイプラインを用いた1回のパイプライン処理で実現できる。したがって、従来の構成と比較して、本発明の適応形ビデオ信号演算処理装置は異なる演算器を用いる演算を並列に実行できるため、演算器の使用効率は低下しない。また、本発明の適応形ビデオ信号演算処理装置は演算パイプラインの立ち上げ時の初期設定も1回でよい。さらには、本発明の適応形ビデオ信号演算処理装置は中間結果を格納する必要はないので、データメモリの容量は増大しない。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

- 20 A1・・・算術論理演算ユニット（ALU）
- A2・・・乗算器
- A3・・・係数メモリ
- A4・・・累算器
- 1～4・・・本発明の実施例における演算ユニット
- 5～7・・・相互接続パイプラインメモリ
- 8・・・データセクタ
- 9・・・パラレルーシリアル変換器
- 10・・・シリアルーパラレル変換器
- 11～14、21～24・・・演算ユニットの入力端子
- 30 31～34・・・演算ユニットの出力端子
- 41～44・・・データセクタ
- 51・・・8×8DCT用入力端子
- 52・・・8×8IDCT用出力端子
- 61・・・拡張論理演算ユニット（EALU）
- 62・・・乗算器
- 63・・・係数メモリ
- 64・・・シフト機能付き累算器
- 71～75・・・データセクタ
- 301・・・正負反転器
- 40 302・・・加算器
- 303・・・減算器
- 304・・・論理演算器
- 305・・・正負判定器
- 306、307・・・データセクタ
- 311、312・・・EALUの入力端子
- 313、314・・・EALUの出力端子
- 101～103・・・バタフライ演算器
- 111・・・乗加算器
- 121・・・シリアルーパラレル変換器
- 122・・・パラレルーシリアル変換器

131～133・・・パイプラインメモリ

141・・・データメモリ

【手続補正20】

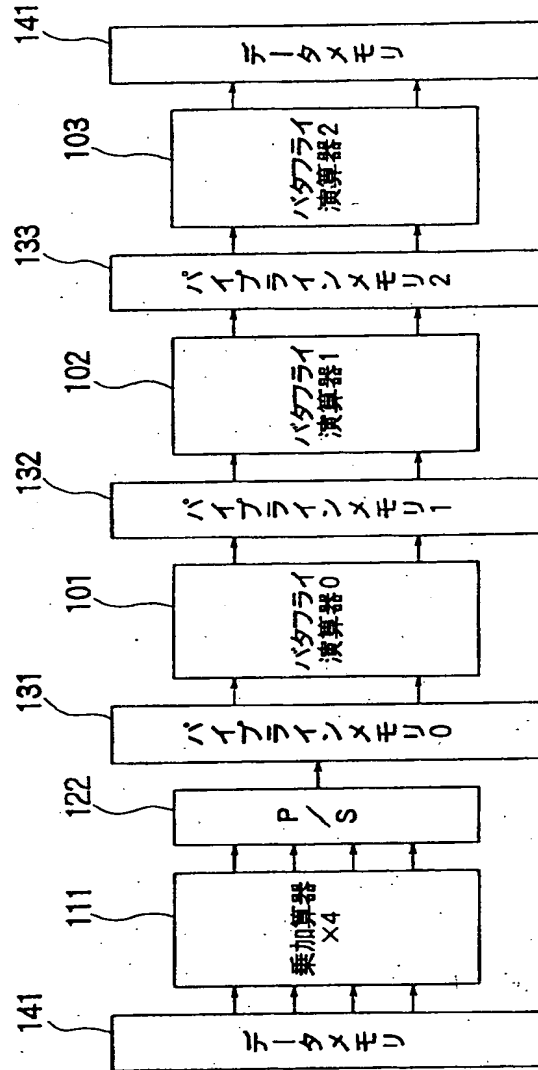
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



P/S: パラレル-シリアル変換器

8x8IDCTの演算パイプライン構成の概念図

フロントページの続き

(51) Int. Cl. 5
G 0 6 F 15/80

識別記号

庁内整理番号
9190-5L

F I

技術表示箇所